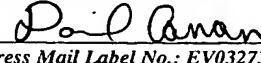


IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In Re U.S. Patent Application

) *I hereby certify that this paper is being deposited with the United
States Postal Service as EXPRESS MAIL in an envelope addressed to:
Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O.
Box 1450, Alexandria, VA 22313-1450, on this date.*

Applicant: Taniguchi et al.

) March 22, 2004 
Date *Express Mail Label No.: EV032735825US*

Serial No.

Filed: March 22, 2004

For: LIQUID CRYSTAL PANEL
AND METHOD OF
MANUFACTURING THE SAME

Art Unit:

CLAIM FOR PRIORITY

Mail Stop PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

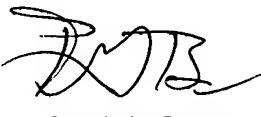
Applicants claim foreign priority benefits under 35 U.S.C. § 119 on the
basis of the foreign application identified below:

Japanese Patent Application No. 2003-090753, filed March 28, 2003.

A certified copy of the priority document is enclosed.

Respectfully submitted,

GREER, BURNS & CRAIN, LTD.

By 

Patrick G. Burns
Registration No. 29,367

Customer No. 24978

March 22, 2004
300 South Wacker Drive
Suite 2500
Chicago, Illinois 60606
Phone: (312) 360-0080
Fax: (312) 360-9315
P:\DOCS\0828\70119\480385.DOC

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2003年 3月28日

出願番号 Application Number: 特願2003-090753

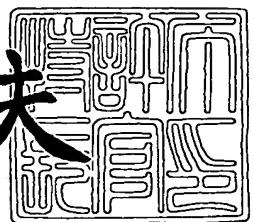
[ST. 10/C]: [JP2003-090753]

出願人 Applicant(s): 富士通ディスプレイテクノロジーズ株式会社

2004年 2月 5日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願

【整理番号】 0350443

【提出日】 平成15年 3月28日

【あて先】 特許庁長官殿

【国際特許分類】 G02F 1/136

【発明の名称】 液晶パネルおよびその製造方法

【請求項の数】 5

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
ディスプレイテクノロジーズ株式会社内

【氏名】 谷口 洋二

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
ディスプレイテクノロジーズ株式会社内

【氏名】 中畠 祐治

【特許出願人】

【識別番号】 302036002

【氏名又は名称】 富士通ディスプレイテクノロジーズ株式会社

【代理人】

【識別番号】 100092152

【弁理士】

【氏名又は名称】 服部 肇

【電話番号】 0426-45-6644

【手数料の表示】

【予納台帳番号】 009874

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0213490

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 液晶パネルおよびその製造方法

【特許請求の範囲】

【請求項 1】 画素電極を駆動する薄膜トランジスタが形成された薄膜トランジスタ基板と、前記薄膜トランジスタ基板に対向配置される対向基板と、前記薄膜トランジスタ基板と前記対向基板とに挟まれた液晶層と、を有する液晶パネルにおいて、

前記薄膜トランジスタと前記画素電極とを接続するために形成されたコンタクトホールに前記画素電極を形成して生じた凹部を埋める穴埋め用の柱層と、

前記薄膜トランジスタ基板と前記対向基板との間のセルギャップを保持するセルギャップ保持用の柱層と、

を有することを特徴とする液晶パネル。

【請求項 2】 前記セルギャップ保持用の柱層は、一定数の前記凹部に形成されて前記一定数の凹部を埋め、かつ前記一定数の凹部の位置で前記薄膜トランジスタ基板と前記対向基板との間のセルギャップを保持し、前記穴埋め用の柱層は、前記一定数の凹部以外の前記凹部を埋めることを特徴とする請求項 1 記載の液晶パネル。

【請求項 3】 画素電極を駆動する薄膜トランジスタが形成された薄膜トランジスタ基板と、前記薄膜トランジスタ基板に対向配置される対向基板と、前記薄膜トランジスタ基板と前記対向基板とに挟まれた液晶層と、を有する液晶パネルの製造方法において、

前記薄膜トランジスタと前記画素電極とを接続するために形成されたコンタクトホールに前記画素電極を形成して生じた凹部を埋める穴埋め用の柱層と、前記薄膜トランジスタ基板と前記対向基板との間のセルギャップを保持するセルギャップ保持用の柱層と、を同時に形成する工程を有することを特徴とする液晶パネルの製造方法。

【請求項 4】 前記薄膜トランジスタと前記画素電極とを接続するために形成された前記コンタクトホールに前記画素電極を形成して生じた凹部を埋める前記穴埋め用の柱層と、前記薄膜トランジスタ基板と前記対向基板との間のセルギ

ヤップを保持する前記セルギャップ保持用の柱層と、を同時に形成する工程においては、

基板全面に形成した感光性樹脂を露光して前記穴埋め用の柱層を形成する領域と前記セルギャップ保持用の柱層を形成する領域とに前記感光性樹脂を残すことによって、前記感光性樹脂からなる前記穴埋め用の柱層と前記セルギャップ保持用の柱層とを同時に形成することを特徴とする請求項3記載の液晶パネルの製造方法。

【請求項5】 前記薄膜トランジスタ基板または前記対向基板に一のカラーフィルタ層を形成する際に、前記セルギャップ保持用の柱層が形成される領域に対応した領域に他のカラーフィルタ層を前記一のカラーフィルタ層に積層して形成する工程を有することを特徴とする請求項3記載の液晶パネルの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は液晶パネルおよびその製造方法に関し、特に薄膜トランジスタ (Thin Film Transistor, TFT) 基板の画素電極と TFTとのコンタクトをとるためのコンタクトホール部分にできた凹部が樹脂などを用いて埋められた構造を有する液晶パネルおよびその製造方法に関する。

【0002】

【従来の技術】

液晶表示装置が搭載する液晶パネルは、主に画素電極、画素電極を駆動する TFT、バスラインなどが形成されたTFT基板と、主に画素電極、カラーフィルタ (CF) などが形成されたCF基板などの対向基板との間に液晶層が挟まれた構造を有し、各基板には偏光板が貼り付けられる。近年では、このような液晶パネルの形成にあたり、TFT基板に樹脂を用いて4 μ m程度の厚膜の平坦化層を形成してバスラインによる横電界の影響を遮蔽して広開口率を実現している。

【0003】

この平坦化層には、画素電極とTFTとの間のコンタクトをとるために深いコンタクトホールが形成される。TFT形成に続く平坦化層形成後に、TFTに達

するコンタクトホールが形成され、平坦化層表面からコンタクトホール壁面、およびTFTのドレイン電極上に画素電極となる透明導電膜層が形成され、画素電極とTFTとがコンタクトされる。したがって、コンタクトホールの深さは平坦化層の膜厚と同じになり、TFT基板には画素電極形成後のコンタクトホール部分に比較的深い凹部がそのまま残るようになる。このような凹部は、開口率を低下させないようにするため、その径ができるだけ小さくなるようにすることが好ましく、コンタクトホールは通常直径5μm程度に形成される。

【0004】

このようにTFT基板に直径5μm、深さ4μmといった小さくて深いコンタクトホールが形成されて画素電極形成後にそこに凹部ができると、このような凹部にはCF基板との間に封入されている液晶が入り込みにくい。その結果、このような凹部が真空領域として残ったり、凹部内のガスが液晶層に移動したりして、液晶パネルの表示不良として現われる場合がある。また、液晶パネルは、外部から部分的に強い圧力がかけられると液晶セルのセルギャップが変化して一時的に真空領域や気泡が発生するが、圧力がかからなくなれば通常これらはすぐに消えてしまう。ところが、上記のような小さくて深い凹部が存在すると、その凹部に気泡が残り、これが液晶パネルの表示不良として現われる場合がある。

【0005】

このような問題に対しては、従来、画素電極形成後のコンタクトホール部分にできた凹部を絶縁膜で埋めるようにした提案、セルギャップを保持するために凹部内に柱状スペーサを形成するようにした提案などがある（例えば特許文献1, 2参照）。

【0006】

【特許文献1】

特開平9-304793号公報

【特許文献2】

特開2002-169166号公報

【0007】

【発明が解決しようとする課題】

しかし、コンタクトホールに画素電極を形成することによってそのコンタクトホール部分にできた凹部を絶縁膜で埋めるためには、そのためのフォトリソ工程や、更には形成した絶縁膜を平坦化する平坦化工程などが必要となるため、工程数の増加やコストアップを招くという問題点があった。

【0008】

また、セルギャップを保持するための柱状スペーサをすべての画素領域に存在する凹部に形成してしまうと、却ってTFT基板とCF基板との間の位置関係に自由度がなくなり衝撃に対する柔軟性が失われ、液晶パネルの故障を引き起こし易くなる。また、TFT基板とCF基板との間の位置関係に自由度がなくなることで、温度環境の変化に伴う液晶の体積変化により液晶パネル内に真空領域や気泡が発生してしまい、表示不良を引き起こし易くなる。そのため、柱状スペーサは一定の間隔で配置して液晶パネル内で最適な柱密度になるよう形成される。しかし、その場合、柱状スペーサが形成されなかった凹部には依然気泡残りなどが発生してしまう。

【0009】

凹部の穴埋めと柱状スペーサの形成をそれぞれ別個の工程で行なうようにすると、液晶パネル製造に要する工程数が増加し、その生産性を大幅に低下させてしまう。

【0010】

本発明はこのような点に鑑みてなされたものであり、TFT基板と対向基板との間のセルギャップが効果的に保持され、かつTFT基板の凹部に気泡残りなどが発生しないようにした液晶パネルおよびその製造方法を提供することを目的とする。

【0011】

【課題を解決するための手段】

本発明では上記課題を解決するために、図1に例示する構成によって実現可能な液晶パネルが提供される。本発明の液晶パネルは、画素電極を駆動する薄膜トランジスタが形成された薄膜トランジスタ基板と、前記薄膜トランジスタ基板に対向配置される対向基板と、前記薄膜トランジスタ基板と前記対向基板とに挟ま

れた液晶層と、を有する液晶パネルにおいて、前記薄膜トランジスタと前記画素電極とを接続するために形成されたコンタクトホールに前記画素電極を形成して生じた凹部を埋める穴埋め用の柱層と、前記薄膜トランジスタ基板と前記対向基板との間のセルギャップを保持するセルギャップ保持用の柱層と、を有することを特徴とする。

【0012】

図1に示した液晶パネル10によれば、穴埋め用の柱層41aが、コンタクトホール39に画素電極40を形成してコンタクトホール39部分にできた凹部を埋め、セルギャップ保持用の柱層41bが、例えばその凹部とは別の位置に形成されてTFT基板30とこれに対向するCF基板20との間のセルギャップ保持に寄与する。これにより、液晶パネル10は、その凹部が柱層41aで埋められて気泡残りなどが発生しなくなり、また、セルギャップが柱層41bによって保持されるようになる。

【0013】

また、本発明では、画素電極を駆動する薄膜トランジスタが形成された薄膜トランジスタ基板と、前記薄膜トランジスタ基板に対向配置される対向基板と、前記薄膜トランジスタ基板と前記対向基板とに挟まれた液晶層と、を有する液晶パネルの製造方法において、前記薄膜トランジスタと前記画素電極とを接続するために形成されたコンタクトホールに前記画素電極を形成して生じた凹部を埋める穴埋め用の柱層と、前記薄膜トランジスタ基板と前記対向基板との間のセルギャップを保持するセルギャップ保持用の柱層と、を同時に形成する工程を有することを特徴とする液晶パネルの製造方法が提供される。

【0014】

このような液晶パネルの製造方法によれば、穴埋め用の柱層とセルギャップ保持用の柱層を例えば感光性樹脂などを用いて同時に形成することができるようになり、セルギャップが効果的に保持され、かつ凹部に気泡残りなどが発生しない液晶パネルを、少ない工程数でかつ低コストで製造することが可能になる。

【0015】

【発明の実施の形態】

以下、本発明の実施の形態を、図面を参照して詳細に説明する。

まず、第1の実施の形態について説明する。

【0016】

図1は第1の実施の形態の液晶パネルの要部断面図である。ただし、図1には液晶パネルの1画素部分のみ図示している。

第1の実施の形態の液晶パネル10は、対向するCF基板20とTFT基板30とを有し、これら両基板間には液晶層10aが挟まれている。さらに、CF基板20およびTFT基板30の外面には図示しない偏光板が貼り付けられて液晶パネル10が構成されている。

【0017】

CF基板20には、無アルカリガラスなどのガラス基板21上のTFT基板30との対向面側に、赤色を呈する樹脂（赤色樹脂）、緑色を呈する樹脂（緑色樹脂）または青色を呈する樹脂（青色樹脂）のCF層22aが形成されている。さらに、そのCF層22a上には、部分的にCF層22b, 22cが積層され、色重ね層22が形成されている。この色重ね層22には、後述するように、その製造上異なる色のCFが積層される。例えば、CF層22aが赤色樹脂で形成されている場合には、CF層22b, 22cはそれぞれ緑色樹脂、青色樹脂で形成される。また、このCF基板20には、TFT基板30との対向面側に、ITO（Indium Tin Oxide）などの透明導電膜からなる共通電極（図示せず）が形成されており、さらに、CF基板20には、TFT基板30との貼り合わせの際に、ポリイミドなどの高分子膜からなる配向膜（図示せず）が形成されるようになっている。

【0018】

TFT基板30は、ガラス基板31上にAl-Nd/MoN/Moからなるゲートメタル層32が形成され、このゲートメタル層32上にSiNからなるゲート絶縁膜33が形成されている。さらに、TFT基板30には、そのTFT部分のゲート絶縁膜33上に、動作層としてアモルファスシリコン（a-Si）層34が形成され、a-Si層34上には、そのチャネル領域を保護するSiNからなるチャネル保護膜層35が形成されている。このような構造上に、チャネル保

護膜層35上的一部分を除いて、オーミック接続のためのn+a-Si層36を介してTi/Al/MoN/Moからなるドレインメタル層37が形成されている。これにより、このTFT基板30に逆スタガー型でTFTが構成される。

【0019】

このような構造の上に更にアクリル樹脂などの樹脂材料からなる平坦化層38が膜厚約4μmで形成され、この平坦化層38には、ドレインメタル層37に達する直径約5μmのコンタクトホール39が形成されている。なお、平坦化層38は、ここでは膜厚約4μmで形成しているが、その膜厚は約1μm～約4μmの範囲で変更可能である。また、コンタクトホール39は、開口率を低下させないようできるだけその径が小さくなるようにすることが好ましい。

【0020】

平坦化層38上には、ITOなどの透明導電膜からなる画素電極40が形成され、この画素電極40は、1画素領域ごと平坦化層38表面、コンタクトホール39壁面およびドレインメタル層37上に形成される。これにより、各画素領域で画素電極40とTFTのドレインメタル層37とがコンタクトされ、また、画素電極40形成後のコンタクトホール39部分には凹部ができる。画素電極40上には、コンタクトホール39部分にできた凹部、およびCF基板20の色重ね層22に対向する領域に、アクリル樹脂などの樹脂材料からなる柱層41a, 41bがそれぞれ形成されている。CF基板20との貼り合わせの際には、このようなアレイ基板上に配向膜（図示せず）が形成される。

【0021】

上記構成のCF基板20とTFT基板30とが貼り合わせられ、これら両基板間に液晶が封入されて液晶パネル10が構成される。このような構成の液晶パネル10では、TFT基板30の各画素領域のコンタクトホール39部分にできた凹部に柱層41aが形成される。また、この液晶パネル10の液晶セルは、CF層22a, 22b, 22cによる色重ね層22とこれに対向する柱層41bとの積層構造により、そのセルギャップが保持される。このように色重ね層22を形成することにより、例え柱層41a, 41bが同じ高さで形成されたとしても、コンタクトホール39部分にできた凹部に形成されている柱層41aが無加圧状

態ではCF基板20と接触しないようになっている。

【0022】

このように、第1の実施の形態の液晶パネル10は、コンタクトホール39に画素電極40を形成してコンタクトホール39部分にできた凹部が柱層41aによって埋められる。さらに、この穴埋め用の柱層41aはセルギャップ保持には用いられず、穴埋め用の柱層41aとは別の位置に形成された柱層41bによってセルギャップが保持される。このセルギャップ保持用の柱層41bは、その形成位置がコンタクトホール39部分にできた凹部の位置に制限されず、液晶パネル10全体で最適な柱密度となるよう形成される。したがって、液晶注入後の気泡残りや部分加圧による発泡残りが発生せず、セルギャップが効果的に保持される信頼性の高い液晶パネル10が実現される。

【0023】

次に上記液晶パネル10の製造方法について説明する。

まずCF基板20の製造方法について述べる。液晶パネル10を構成するCF基板20は、ガラス基板21上に、従来公知の方法で、赤色樹脂、緑色樹脂、青色樹脂をストライプ状に形成する。その際、TFT基板30に形成されるセルギャップ保持用の柱層41bに対向するようになる領域には、ガラス基板21上の1層目に形成した樹脂と異なる色の樹脂を順に重ねて形成するようとする。例えば、1列目に赤色樹脂を形成した場合には、その列の隣に緑色樹脂を形成する際に、赤色樹脂の列上でセルギャップ保持用の柱層41bに対向するようになる領域にも緑色樹脂を形成し、さらに青色樹脂を形成する際に、赤色樹脂上に形成した緑色樹脂の上にも青色樹脂を形成する。これにより、セルギャップ保持用の柱層41bに対向するようになる領域に色重ね層22が形成される。この上にITOなどで共通電極が形成され、CF基板2の基本構造が形成される。

【0024】

次にTFT基板30の製造方法について述べる。TFT基板30は、ガラス基板31上にTFTを形成し、平坦化層38を形成してコンタクトホール39を形成し、画素電極40を形成する工程までは、従来公知の方法で行なわれる。ここでは、それ以降に行なわれる柱層41a, 41bの形成工程について図2から図

4を参照して説明する。

【0025】

図2は樹脂塗布工程の要部断面図、図3は露光工程の要部断面図、図4は現像工程の要部断面図である。

TFT基板30の柱層41a, 41bの形成は、図2に示すように、画素電極40まで形成されたアレイ基板の全面に、ネガ型感光性アクリル樹脂42を膜厚約4μmで塗布する。このネガ型感光性アクリル樹脂42の塗布には、従来一般的なスピンドルコート法などを用いることができる。

【0026】

続いて、図3に示すように、コンタクトホール39が形成された直径5μmの領域、およびセルギヤップ保持用の柱層41bを形成する直径20μmの領域が開口された遮光マスク43を用いて露光し、柱層41a, 41bを形成する領域のネガ型感光性アクリル樹脂42を感光する。

【0027】

露光後、ネガ型感光性アクリル樹脂42を現像してポストキュアを行なうことにより、図4に示すように、画素電極40形成後のコンタクトホール39部分にできた凹部を埋める樹脂製の柱層41aと、セルギヤップ保持用の樹脂製の柱層41bが同時に形成される。これにより、TFT基板30の基本構造が形成される。

【0028】

以降は、従来公知の方法と同様にして、配向膜をそれぞれ塗布したTFT基板30とCF基板20とを貼り合わせ、両基板間に液晶を封入し、最後に偏光板を貼り付けて液晶パネル10を完成させる。勿論、CF基板20またはTFT基板30上に液晶を滴下した後に両基板を貼り合わせることも可能である。

【0029】

なお、TFT基板30の柱層41aの形成においては、ネガ型感光性アクリル樹脂42の感光領域をコンタクトホール39の径（開口断面積が最大になる部分の直径）と同サイズにしたが、露光時に感光領域と実際のコンタクトホール39の位置との間に位置ずれが生じる可能性を考慮し、感光領域の直径が更に3μm

程度大きめになるようにしてもよい。ただし、このようにコンタクトホール39の径よりも大きめの柱層41aを形成すると、コンタクトホール39部分にできた凹部から画素電極40上にはみ出した部分がセルギャップ保持用の柱層41bと同じ高さになる場合がある。凹部に形成する柱層41aをセルギャップ保持の目的で用いない場合には、前述したようにCF基板20側に色重ね層22を形成しておき、柱層41aとCF基板20との間に隙間を確保する。色重ね層22は必ずしも必要とならない場合もあるが、液晶パネル10にある程度の変形自由度を持たせて効果的にセルギャップを保持するためには形成しておくことが好ましい。

【0030】

また、ここでは柱層41a, 41bをネガ型感光性アクリル樹脂42を用いて形成したが、勿論、ポジ型感光性アクリル樹脂を用いて形成することも可能である。また、柱層41a, 41b形成には、感光性アクリル樹脂のほか、その他の感光性樹脂材料を用いることも可能である。

【0031】

このように、上記製造方法によれば、コンタクトホール39部分にできた凹部の穴埋め用の柱層41aと、セルギャップ保持用の柱層41bを同時に形成することができる。したがって、液晶注入後の気泡残りや部分加圧による発泡残りが発生せず、さらに、適当な密度でセルギャップ保持用の柱層41bが配置された液晶パネル10を生産性良く製造することができる。

【0032】

穴埋め用の柱層41aとセルギャップ保持用の柱層41bの形成は、上記第1の実施の形態の液晶パネル10のほか、種々の形態の液晶パネルに適用可能である。

【0033】

次に第2の実施の形態について説明する。

図5は第2の実施の形態の液晶パネルの要部断面図である。ただし、図5には液晶パネルの1画素部分のみ図示し、また、図1に示した要素と同一の要素について同一の符号を付し、その説明の詳細は省略する。

【0034】

第2の実施の形態の液晶パネル50は、共通電極基板60とTFT基板70を貼り合わせ、両基板間に液晶層50aが挟まれた構造を有し、TFT基板70側にCF層22a, 22b, 22cが形成されている点で第1の実施の形態の液晶パネル10と相違する。

【0035】

TFT基板70の対向基板である共通電極基板60には、ガラス基板21上に共通電極（図示せず）が形成されて基本構造が構成され、TFT基板70との貼り合わせの際には配向膜（図示せず）が形成される。

【0036】

TFT基板70には、ガラス基板31上に、ゲートメタル層32、ゲート絶縁膜33、a-Si層34、チャネル保護膜層35が形成され、n+a-Si層36を介してドレンインメタル層37が形成されている。この上にCF層22aおよび部分的にCF層22b, 22cが積層されて色重ね層22が形成され、オーバーコート（OC）層71、画素電極40が形成されている。OC層71は、CF層22a形成後、CF層22aにドレンインメタル層37に達するコンタクトホール72が形成された後に形成され、さらに、このOC層71にドレンインメタル層37に達するコンタクトホール39が形成される。画素電極40は、OC層71表面からコンタクトホール39壁面およびドレンインメタル層37上に形成され、これにより、画素電極40とドレンインメタル層37とがコンタクトされ、また、その結果、コンタクトホール39部分に凹部ができる。画素電極40上には、コンタクトホール39部分にできた凹部および色重ね層22直上の領域に、アクリル樹脂などの樹脂材料からなる柱層41a, 41bがそれぞれ形成されている。

【0037】

柱層41a, 41bの形成は、第1の実施の形態において述べたのと同様に行なうことができる。すなわち、画素電極40まで形成したアレイ基板に対し、ネガ型またはポジ型の感光性樹脂を塗布し、コンタクトホール39部分にできた凹部を埋める柱層41aを形成する領域およびセルギャップ保持用の柱層41bを形成する領域を露光して、現像処理を行なえばよい。これにより、柱層41a,

41bを同時に形成することができる。

【0038】

ただし、このようにTFT基板70側にCF層22aを形成する場合は、一般にCF層のパターン形成精度が高くないため、CF層22aに形成されるコンタクトホール72の径は10μm程度と大きくなる。そのため、OC層71にはそれに応じて径が大きくなつたコンタクトホール39が形成されるようになり、そのコンタクトホール39部分にできる凹部が埋められるよう、感光性樹脂の感光領域もCF層22aのコンタクトホール72と同程度の大きさとすることが好ましい。また、CF層22aに重ねて形成するCF層22b, 22cは必ずしも必要ではないが、セルギャップを効果的に保持するためには形成しておくことが好ましい。

【0039】

このように第2の実施の形態の液晶パネル50においても、第1の実施の形態と同様、画素領域内にあるコンタクトホール39に画素電極40を形成してコンタクトホール39部分にできた凹部が柱層41aで埋められ、液晶注入後の気泡残りや部分加圧による発泡残りが発生しなくなる。さらに、共通電極基板60とTFT基板70との間のセルギャップは柱層41bによって保持することができ、また、この柱層41bは、その形成位置がコンタクトホール39部分にできた凹部の位置に制限されず、液晶パネル50内の適当な位置に適当な密度で配置することができる。これらの柱層41a, 41bは、感光性樹脂の露光・現像処理により同時に形成することができ、液晶パネル50を効率的に形成することができる。

【0040】

次に第3の実施の形態について説明する。

図6は第3の実施の形態の液晶パネルの要部平面図、図7は図6のA-A断面図である。ただし、図6および図7には液晶パネルの1画素部分のみ図示し、また、図5に示した要素と同一の要素については同一の符号を付し、その説明の詳細は省略する。

【0041】

第3の実施の形態の液晶パネル80は、共通電極基板60aとTFT基板70aを貼り合わせ、両基板間に液晶層80aが挟まれた構造を有し、共通電極基板60aに形成された共通電極上に誘電体層からなる突起61が形成され、TFT基板70aに形成された画素電極40に2本のスリット73が形成されている点で第2の実施の形態の液晶パネル50と相違する。その他の構成は第2の実施の形態の液晶パネル50と同じである。このように突起61およびスリット73を形成することにより、電圧印加時には突起61およびスリット73によって液晶パネル80内の液晶分子が配向制御され、これにより広視野角が実現されるようになる。

【0042】

この液晶パネル80においても、そのTFT基板70aの柱層41a, 41bは、第2の実施の形態の場合と同様、感光性樹脂の露光・現像処理により同時に形成することができる。垂直配向膜がそれぞれ塗布された共通電極基板60aおよびTFT基板70aは、パネル周辺シール形成後に貼り合わせられ、これらの間に負の誘電率異方性を有するネガ型液晶が注入され、最後に偏光板が貼り付けられて液晶パネル80が形成される。

【0043】

このように、第3の実施の形態の液晶パネル80においても、画素領域内にあるコンタクトホール39に画素電極40を形成してコンタクトホール39部分にできた凹部が柱層41aで埋められ、液晶注入後の気泡残りや部分加圧による発泡残りが発生しなくなる。さらに、共通電極基板60aとTFT基板70aとの間のセルギャップは柱層41bによって保持することができ、また、この柱層41bは液晶パネル80内の適当な位置に適当な密度で配置することができる。柱層41a, 41bは同時に形成することができ、液晶パネル80を効率的に形成することができる。

【0044】

なお、この第3の実施の形態の液晶パネル80においては、突起61とスリット73を共に形成するようにしたが、いずれか一方のみ形成した場合であっても液晶分子の配向制御は可能であり、その場合でも柱層41a, 41bの形成方法

は何ら変わらない。

【0045】

次に第4の実施の形態について説明する。

図8は第4の実施の形態の液晶パネルの要部平面図、図9は図8のB-B断面図である。ただし、図8および図9には液晶パネルの1画素部分のみ図示し、また、図5に示した要素と同一の要素については同一の符号を付し、その説明の詳細は省略する。

【0046】

第4の実施の形態の液晶パネル90は、共通電極基板60とTFT基板70bを貼り合わせ、両基板間に液晶層90aが挟まれた構造を有し、TFT基板70bの画素電極40に多数の微細なスリット74が形成されている点で第2の実施の形態の液晶パネル50と相違する。その他の構成は第2の実施の形態の液晶パネル50と同じである。この第4の実施の形態において形成されるスリット74は、画素領域を少なくとも2以上に分割する方向に形成する。図9には、画素領域を4分割した場合を例示している。このように画素電極40にスリット74を形成することにより、電圧印加時には、スリット74によって液晶パネル90内の液晶分子が配向制御され、これにより広視野角が実現されるようになる。

【0047】

この液晶パネル90においても、そのTFT基板70bの柱層41a, 41bは、感光性樹脂の露光・現像処理により同時に形成することができる。

液晶パネル90を形成する際には、まず、垂直配向膜をそれぞれ塗布した共通電極基板60およびTFT基板70bをパネル周辺シール形成後に貼り合わせる。そして、これらの間に紫外線硬化型モノマーを0.2wt%添加した負の誘電率異方性を有するネガ型液晶を注入する。続いて、液晶分子の閾値以上の電圧、例えばゲート電圧DC30V、データ電圧DC10V、コモン電圧DC5Vを印加することによって液晶分子を傾かせた状態とし、その状態で共通電極基板60側から波長300nm～450nmの紫外線を2000mJ照射する。これにより、紫外線硬化型モノマーからポリマーが形成され、電圧無印加状態での液晶分子の配向方向が決定される。最後に共通電極基板60、TFT基板70bそれぞ

れに、偏光方向が液晶分子の配向方向と45°の角度をなすようにクロスニコル配置で偏光板を貼り付け、液晶パネル90を形成する。この第4の実施の形態の液晶パネル90では、そのプレチルト角は約86°になる。

【0048】

このように、第4の実施の形態の液晶パネル90においても、画素領域内にあるコンタクトホール39に画素電極40を形成してコンタクトホール39部分にできた凹部が柱層41aで埋められ、液晶注入後の気泡残りや部分加圧による発泡残りが発生しなくなる。さらに、共通電極基板60とTFT基板70bとの間のセルギャップは柱層41bによって保持することができ、また、この柱層41bは液晶パネル90内の適当な位置に適当な密度で配置することができる。柱層41a, 41bは同時に形成することができ、液晶パネル90を効率的に形成することができる。

【0049】

次に第5の実施の形態について説明する。

図10は第5の実施の形態の液晶パネルの要部断面図である。ただし、図10には液晶パネルの1画素部分のみ図示し、また、図1に示した要素と同一の要素については同一の符号を付し、その説明の詳細は省略する。

【0050】

第5の実施の形態の液晶パネル100は、CF基板20aとTFT基板30aを貼り合わせ、両基板間に液晶層100aが挟まれた構造を有し、CF基板20aの色重ね層22がTFT基板30aのコンタクトホール39部分にできた凹部の位置に対応する領域に形成され、その凹部に形成される柱層41aによってセルギャップを保持させるようにしている点で第1の実施の形態の液晶パネル10と相違する。この第5の実施の形態の場合、セルギャップ保持用に柱層を形成することは必ずしも必要とはならない。

【0051】

TFT基板30aの柱層41aの形成は、第1の実施の形態で述べた柱層41a, 41bの形成と同様に行なうことができる。例えばこの図10に示したTFT基板30aを形成する場合には、コンタクトホール39が形成された領域のみ

開口された遮光マスクを用いて、感光性樹脂を露光・現像し、柱層41aのみ形成すればよい。ただし、柱層41aのすべてに対してCF基板20aに色重ね層22を形成すると、セルギャップ保持に寄与する柱層41aの柱密度が必要以上に高くなってしまう。そのため、セルギャップ保持に適した柱密度になるよう選択した柱層41aの対向位置にのみ色重ね層22を形成する。

【0052】

このように、第5の実施の形態の液晶パネル100においても、画素領域内にあるコンタクトホール39に画素電極40を形成してコンタクトホール39部分にできた凹部が柱層41aで埋められ、液晶注入後の気泡残りや部分加圧による発泡残りが発生しなくなる。さらに、CF基板20aとTFT基板30aとの間のセルギャップも柱層41aによって保持することができ、また、この柱層41aは液晶パネル100内の適当な位置に適当な密度で配置することができる。

【0053】

次に第6の実施の形態について説明する。

図11は第6の実施の形態の液晶パネルの要部断面図である。ただし、図11には液晶パネルの1画素部分のみ図示し、また、図5に示した要素と同一の要素については同一の符号を付し、その説明の詳細は省略する。

【0054】

第6の実施の形態の液晶パネル110は、共通電極基板60とTFT基板70cを貼り合わせ、両基板間に液晶層110aが挟まれた構造を有し、TFT基板70cのコンタクトホール39の近傍に色重ね層22が形成され、コンタクトホール39部分にできた凹部に形成された柱層41aによってセルギャップを保持させるようにしている点で第2の実施の形態の液晶パネル50と相違する。この第6の実施の形態の場合、セルギャップ保持用に柱層を形成することは必ずしも必要とはならない。

【0055】

この液晶パネル110のTFT基板70cの形成は、まず、CF層22aにコンタクトホール72を形成した後、このコンタクトホール72の縁部にCF層22b, 22cを形成して色重ね層22を形成する。ただし、色重ね層22を形成

する際には、液晶パネル110に形成される柱層41aの柱密度を考慮し、セルギャップ保持に用いる柱層41aの位置にのみ色重ね層22を形成する。色重ね層22の形成後、OC層71を形成してコンタクトホール39を形成し、画素電極40を形成する。これにより、コンタクトホール39部分には凹部ができる。そして、第2の実施の形態で述べたのと同様にして、コンタクトホール39が形成された領域のみ開口された遮光マスクを用いて、感光性樹脂を露光・現像し、コンタクトホール39部分にできた凹部に柱層41aを形成する。

【0056】

このように、第6の実施の形態の液晶パネル110においても、画素領域内にあるコンタクトホール39に画素電極40を形成してコンタクトホール39部分にできた凹部が柱層41aで埋められ、液晶注入後の気泡残りや部分加圧による発泡残りが発生しなくなる。さらに、共通電極基板60とTFT基板70cとの間のセルギャップは、柱密度を考慮して凹部に形成された柱層41aによって保持することができる。

【0057】

なお、上記第1、第5、第6の実施の形態の液晶パネル10、100、110において、CF基板20、20a、共通電極基板60に突起を設けて液晶分子の配向制御を行なうようにすることもでき、TFT基板30、30a、70cの画素電極40に複数のスリットを設けて液晶分子の配向制御を行なうようにすることもできる。勿論、突起とスリットを両方とも設けて液晶分子の配向制御を行なってもよい。

【0058】

また、上記第1～第4の実施の形態の液晶パネル10、50、80、90において、セルギャップ保持用の柱層41bは穴埋め用の柱層41aと同時に形成するようにしたが、CF基板20あるいは共通電極基板60、60a側に形成することも可能である。上記第5、第6の実施の形態の液晶パネル100、110においては、柱層41aをCF基板20a側、共通電極基板60側に形成することも可能である。

【0059】

また、以上の説明では、色重ね層を形成することによって、TFT基板の穴埋め用にのみ形成された柱層とそれに対向するCF基板または共通電極基板との間に隙間を確保するようにした。このほか、色重ね層を形成せず、感光性樹脂をハーフトーン露光し、穴埋め用とセルギャップ保持用とで膜厚の異なる柱層を形成することによってそのような隙間を確保できる構成とすることも可能である。

【0060】

また、ハーフトーン露光のほか、柱層形成にポジ型感光性樹脂を用いた場合にはオーバー露光を利用して膜厚の異なる柱層を形成することも可能である。ポジ型感光性樹脂のオーバー露光では、穴埋め用の柱層を形成するような小さな領域における膜厚が、セルギャップ保持用の柱層を形成するような大きな領域における膜厚よりも薄くなり、穴埋め用とセルギャップ保持用とで膜厚の異なる柱層を形成することができる。

【0061】

【発明の効果】

以上説明したように本発明では、薄膜トランジスタと画素電極とを接続するために形成されたコンタクトホールに画素電極を形成して生じた凹部を穴埋め用の柱層で埋めるとともに、薄膜トランジスタ基板と対向基板との間のセルギャップをセルギャップ保持用の柱層で保持するようにした。これにより、コンタクトホール部分にできた凹部に気泡残りなどが発生せず、かつセルギャップが効果的に保持される信頼性の高い液晶パネルを実現できる。

【0062】

また、穴埋め用の柱層とセルギャップ保持用の柱層を同時に形成するようにしたので、コンタクトホール部分にできた凹部に気泡残りなどが発生せず、かつセルギャップが効果的に保持される信頼性の高い液晶パネルを、効率的かつ低成本で製造することができる。

【図面の簡単な説明】

【図1】

第1の実施の形態の液晶パネルの要部断面図である。

【図2】

樹脂塗布工程の要部断面図である。

【図3】

露光工程の要部断面図である。

【図4】

現像工程の要部断面図である。

【図5】

第2の実施の形態の液晶パネルの要部断面図である。

【図6】

第3の実施の形態の液晶パネルの要部平面図である。

【図7】

図6のA-A断面図である。

【図8】

第4の実施の形態の液晶パネルの要部平面図である。

【図9】

図8のB-B断面図である。

【図10】

第5の実施の形態の液晶パネルの要部断面図である。

【図11】

第6の実施の形態の液晶パネルの要部断面図である。

【符号の説明】

10, 50, 80, 90, 100, 110 液晶パネル

10a, 50a, 80a, 90a, 100a, 110a 液晶層

20, 20a CF基板

21 ガラス基板

22 色重ね層

22a, 22b, 22c CF層

30, 30a, 70, 70a, 70b, 70c TFT基板

31 ガラス基板

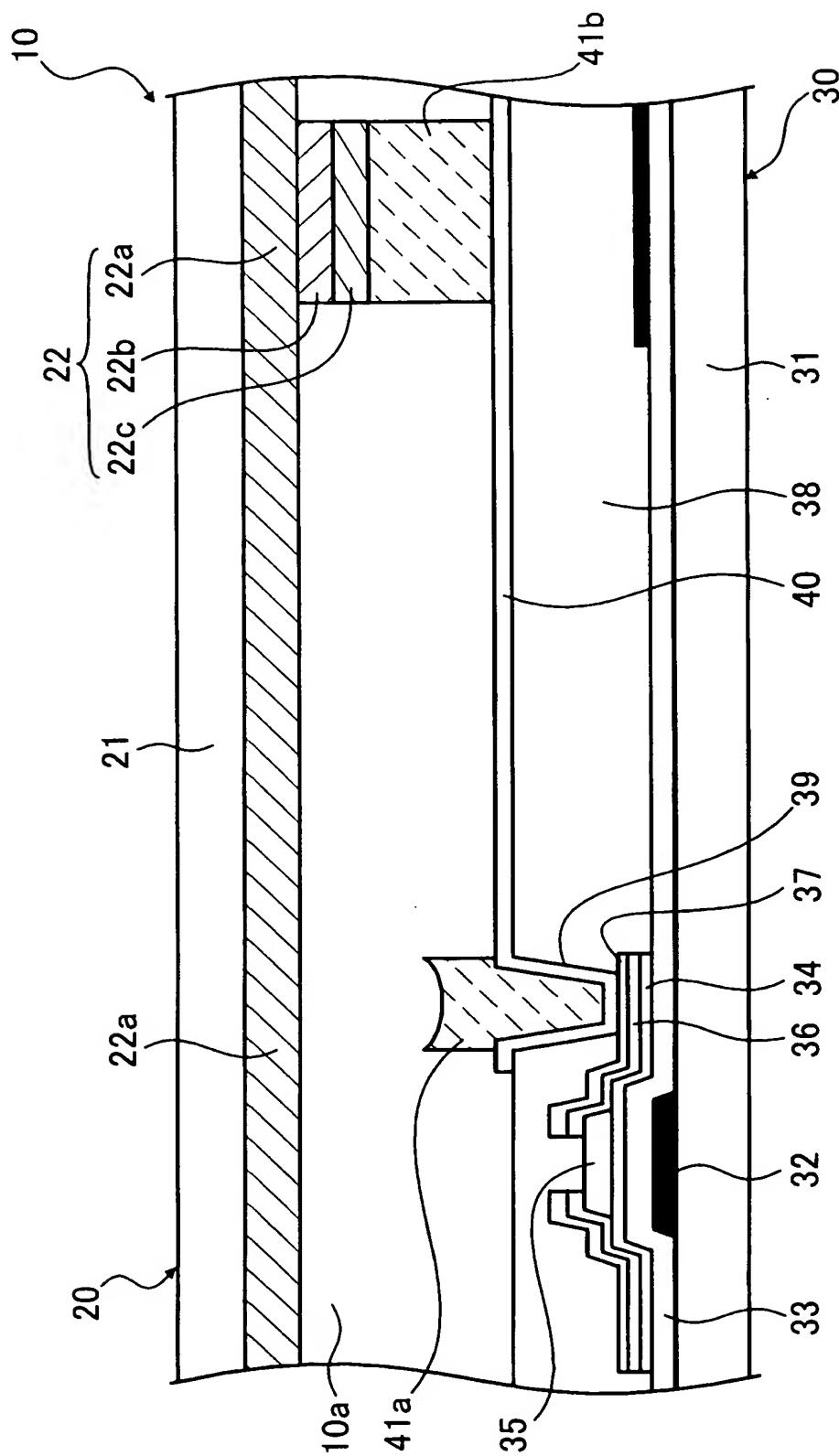
32 ゲートメタル層

- 3 3 ゲート絶縁膜
- 3 4 a-Si層
- 3 5 チャネル保護膜層
- 3 6 n⁺a-Si層層
- 3 7 ドレインメタル層
- 3 8 平坦化層
- 3 9, 7 2 コンタクトホール
- 4 0 画素電極
- 4 1 a, 4 1 b 柱層
- 4 2 ネガ型感光性アクリル樹脂
- 4 3 遮光マスク
- 6 0, 6 0 a 共通電極基板
- 6 1 突起
- 7 1 OC層
- 7 3, 7 4 スリット

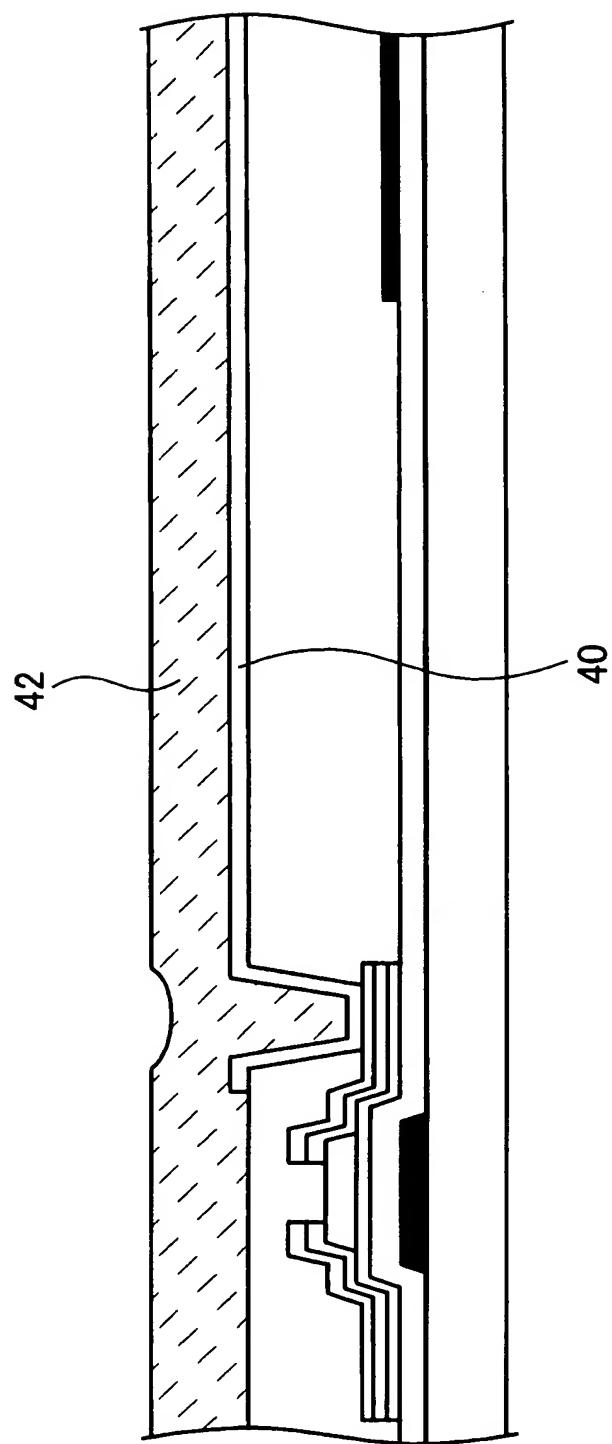
【書類名】

図面

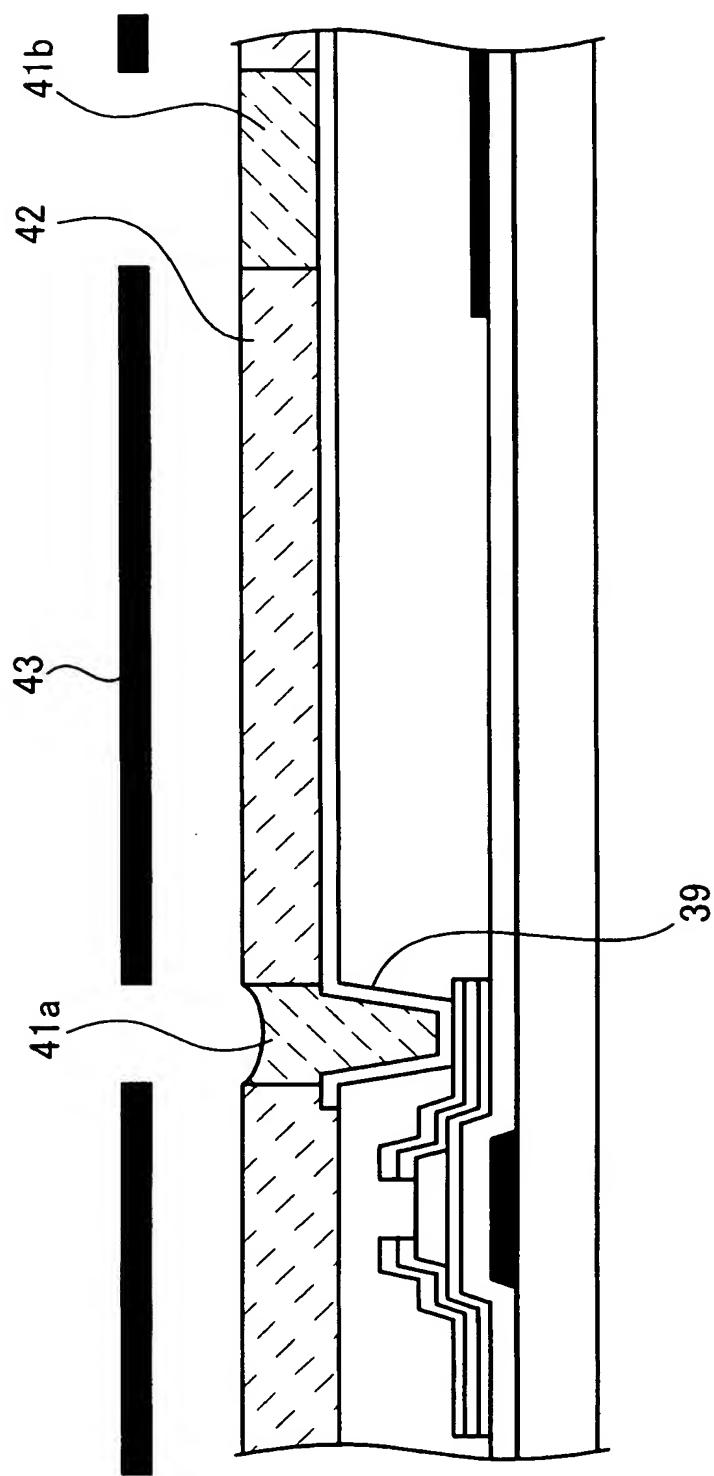
【図1】



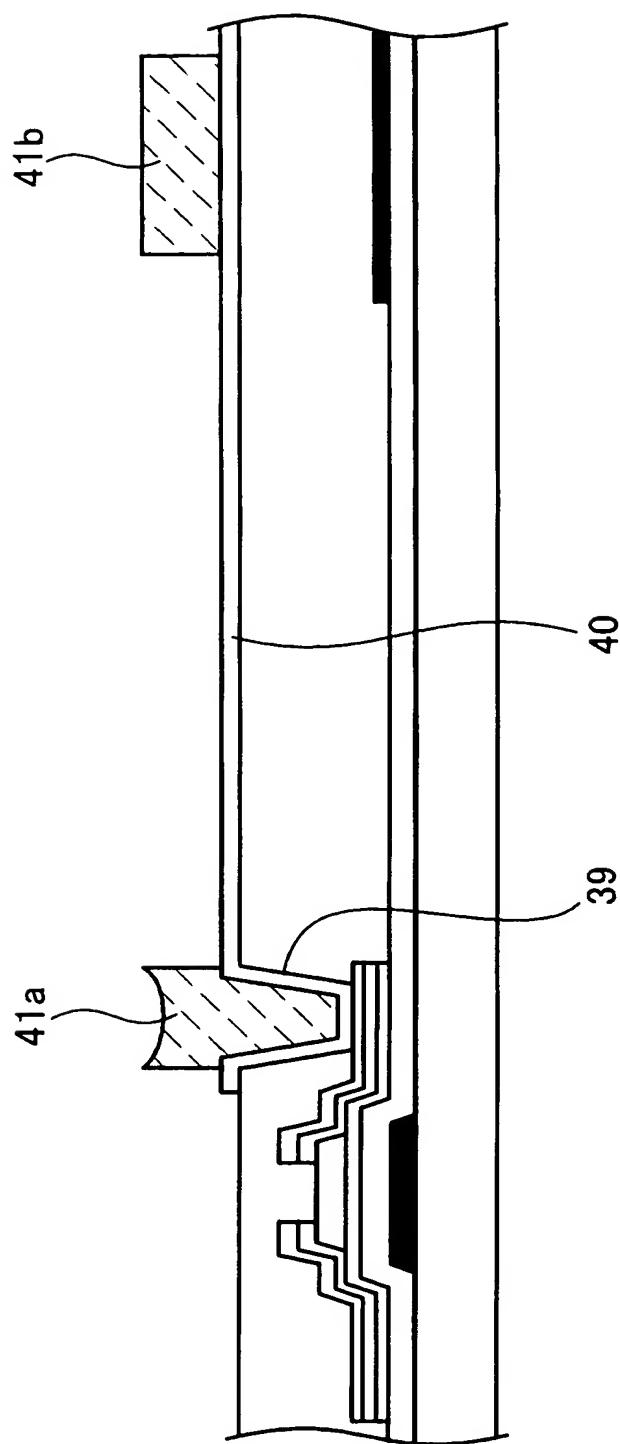
【図 2】



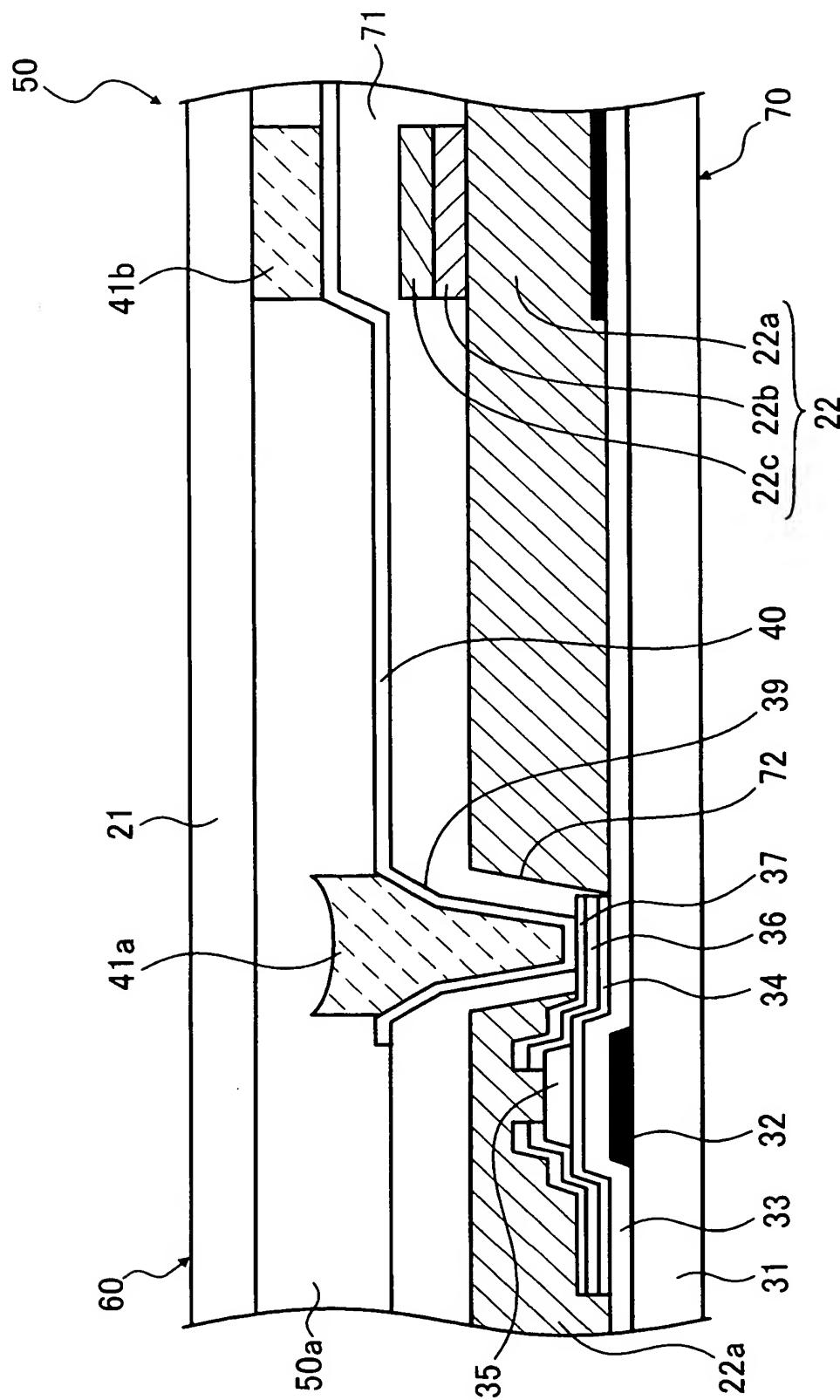
【図3】



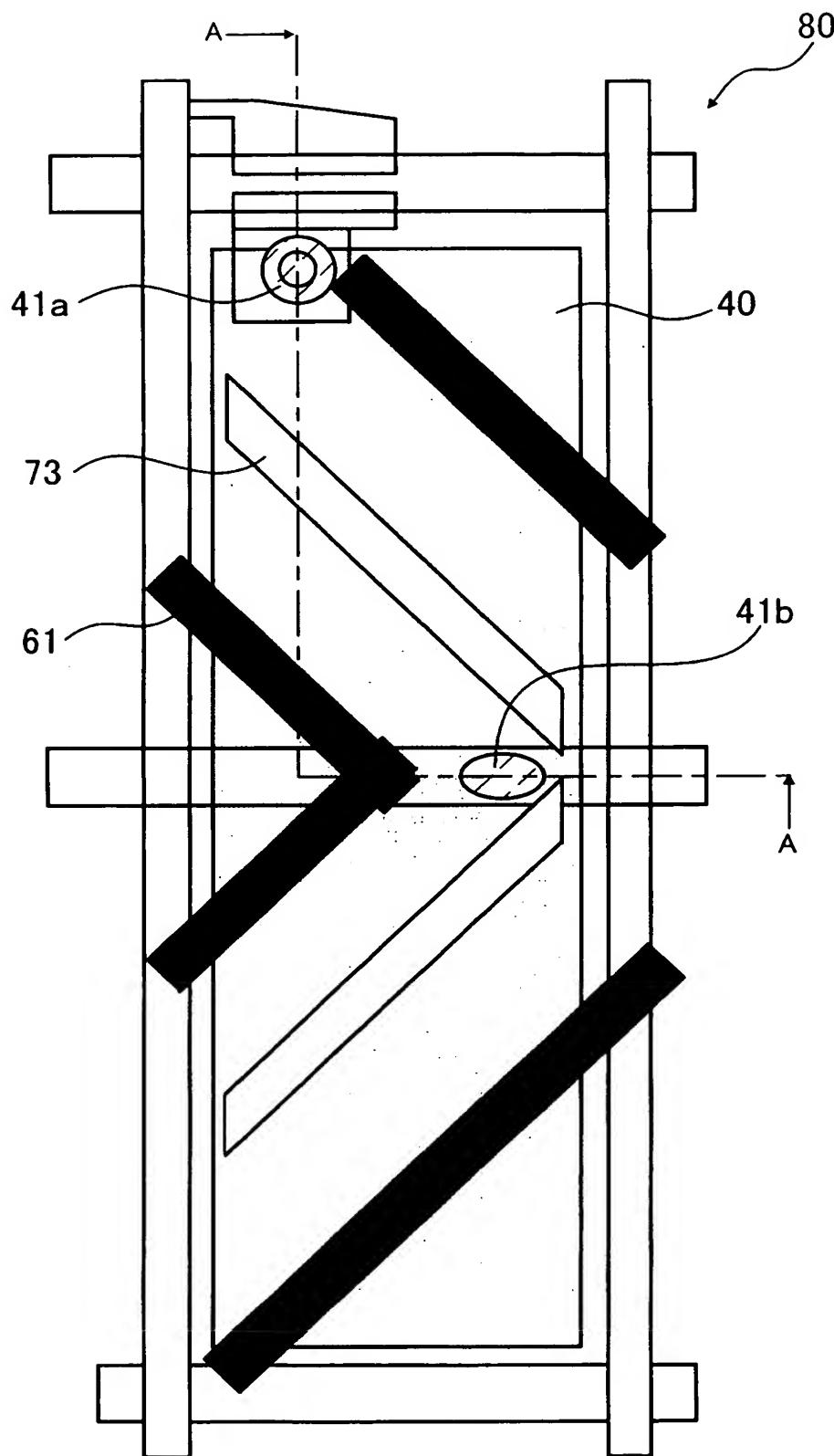
【図4】



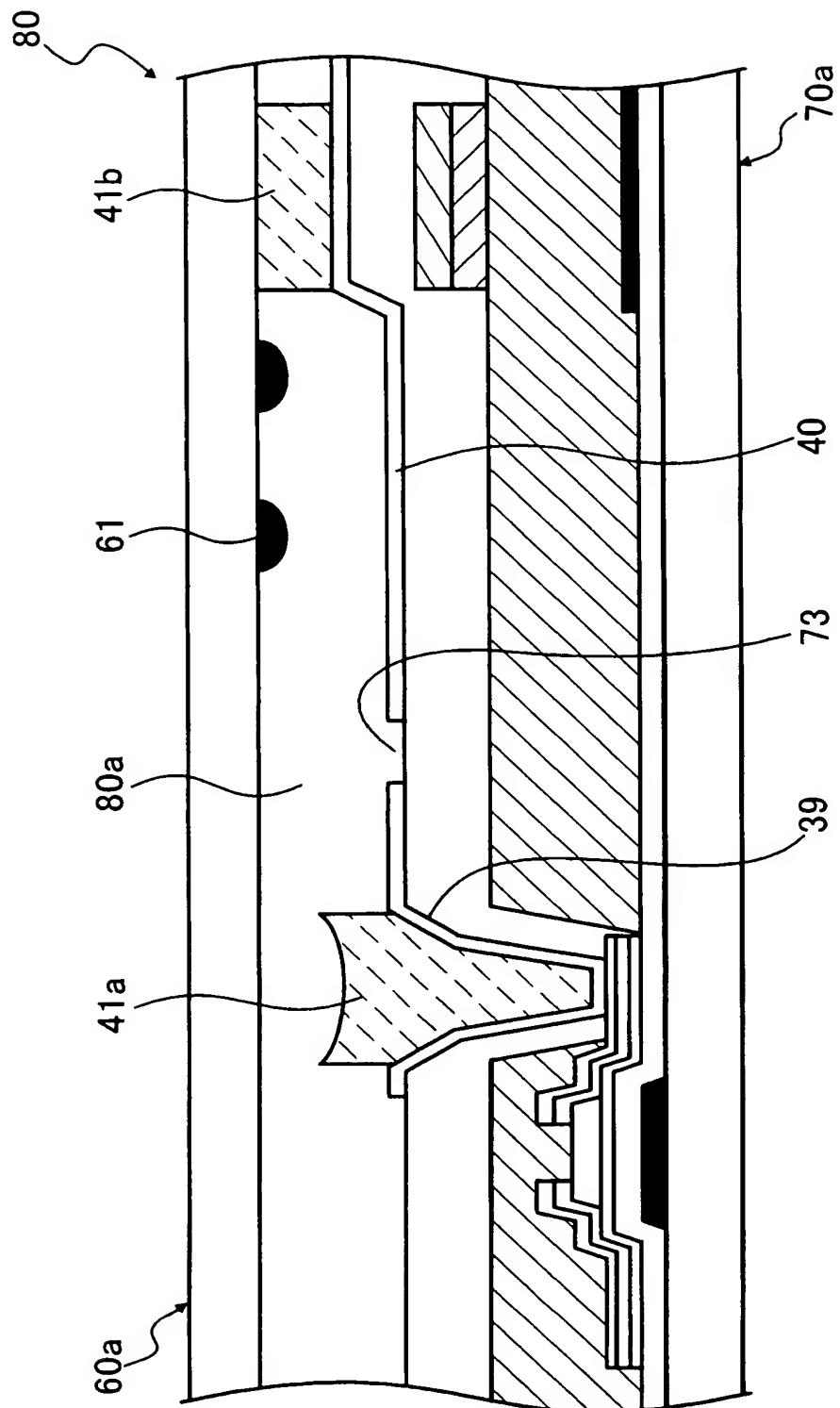
【図5】



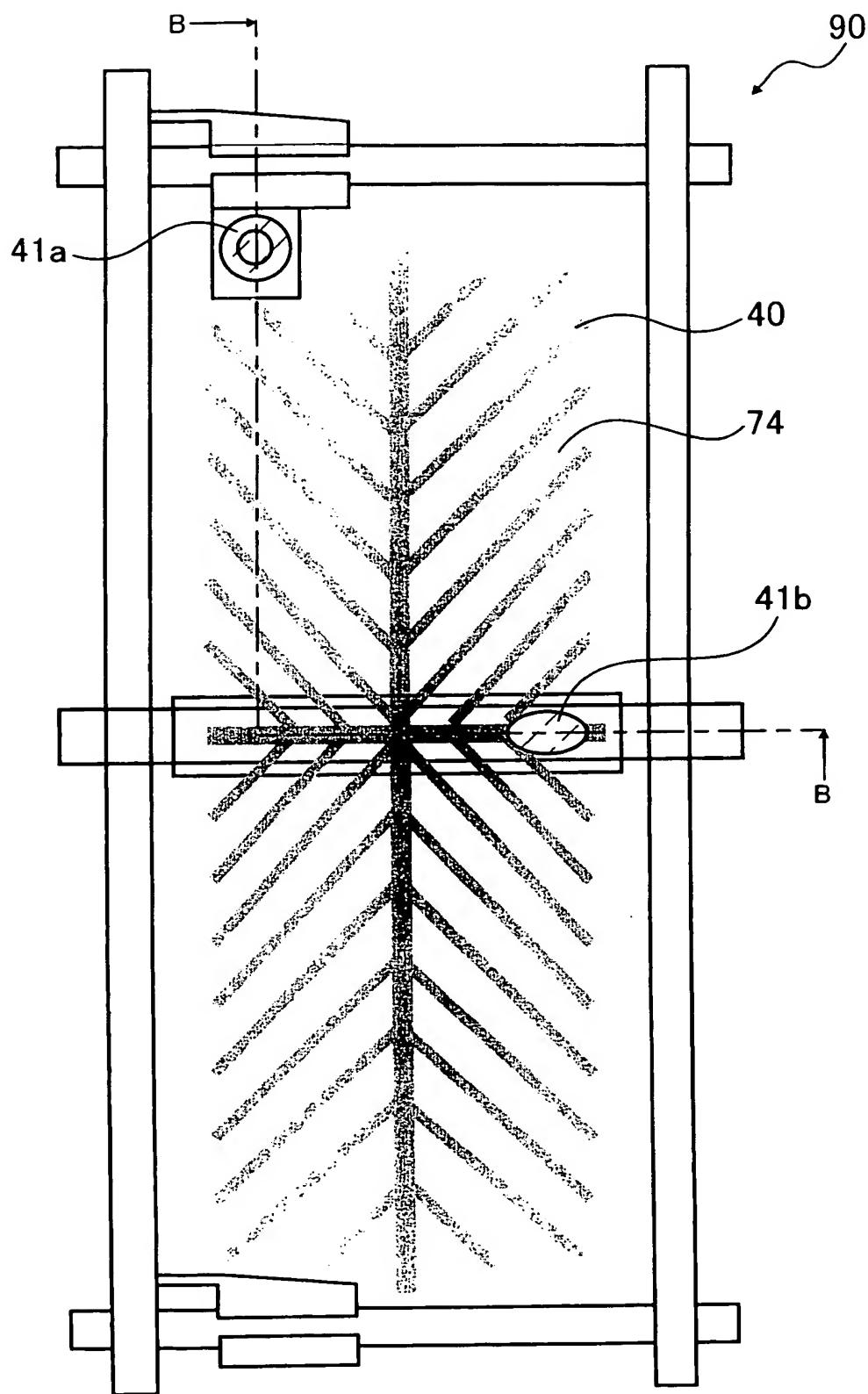
【図6】



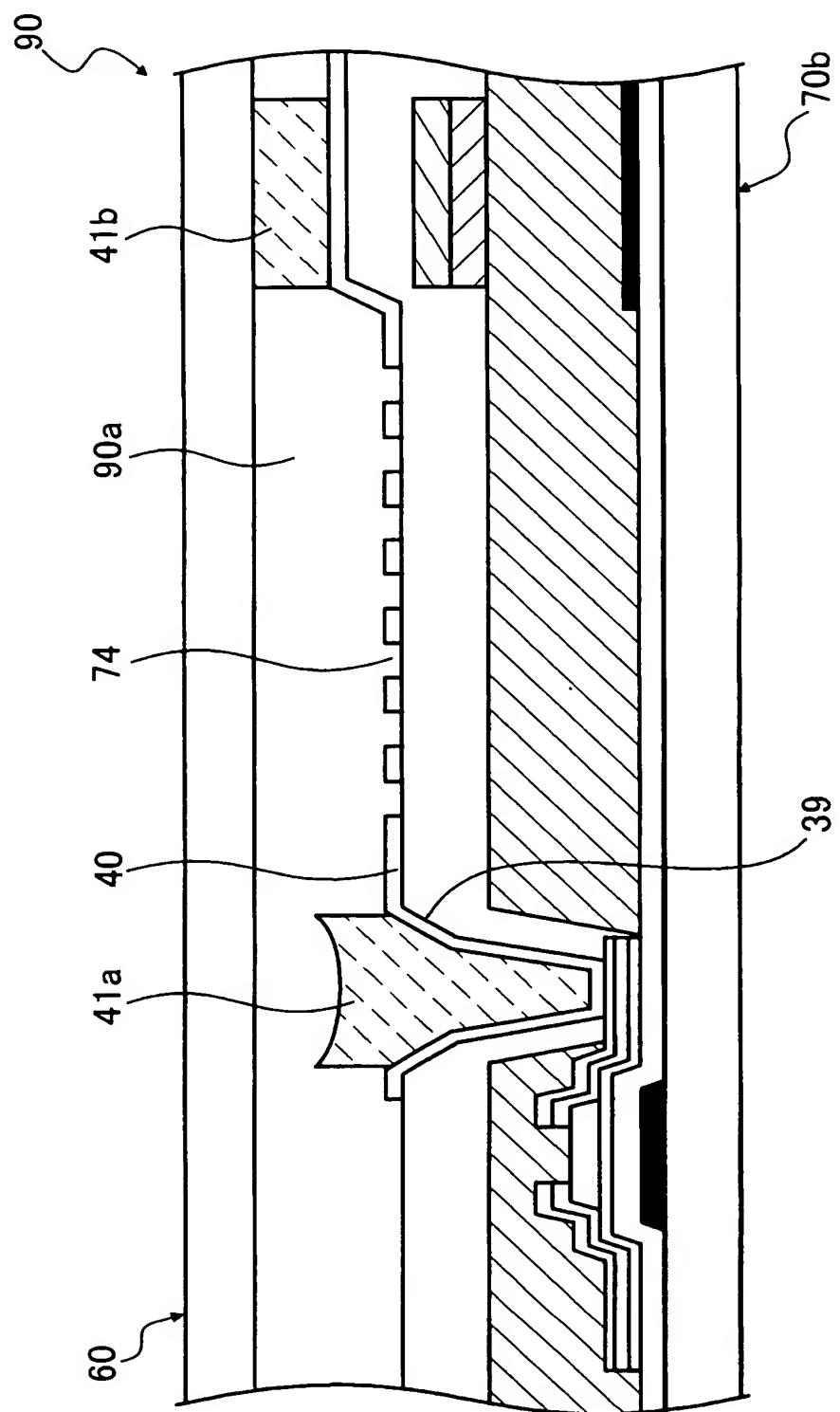
【図7】



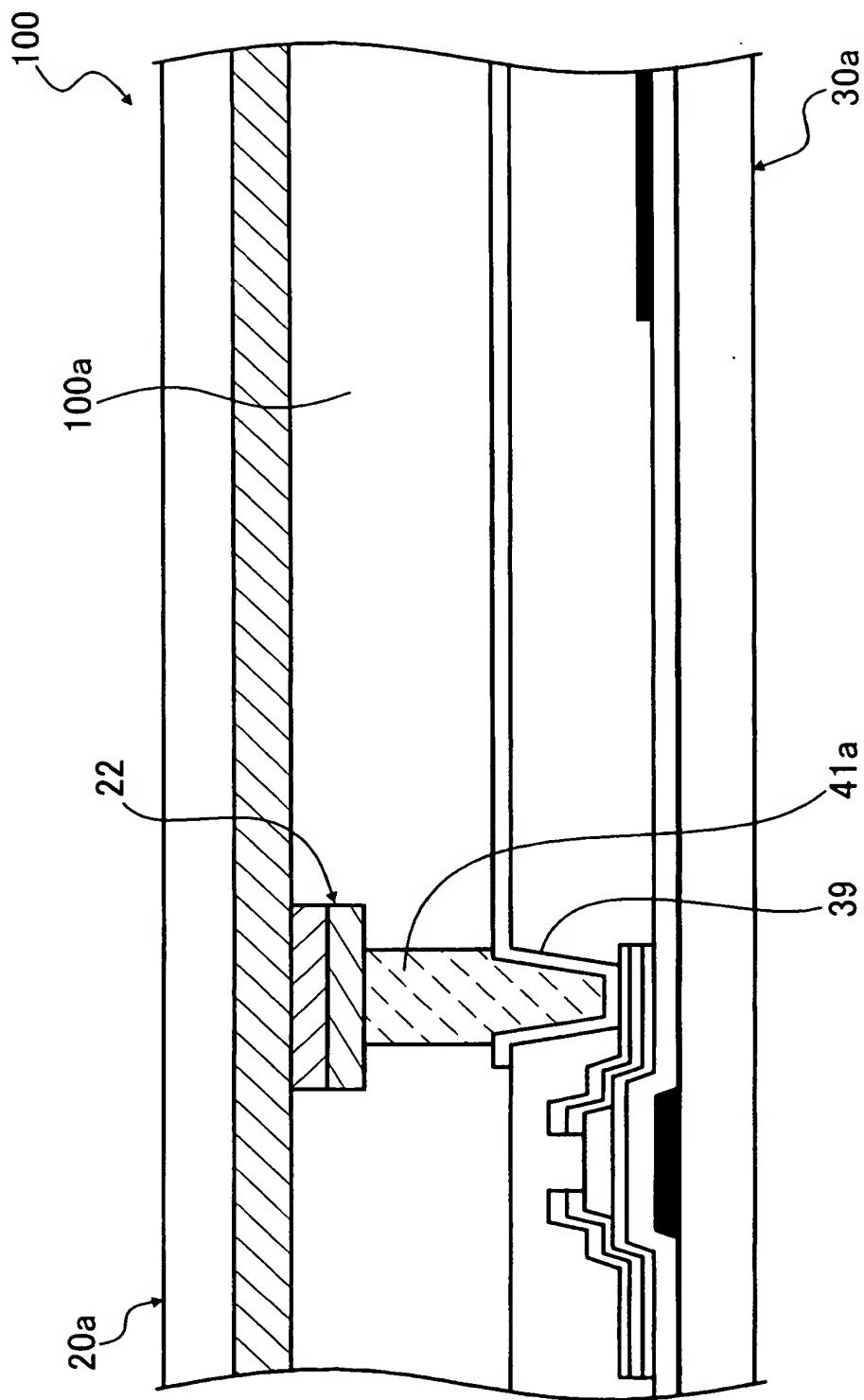
【図8】



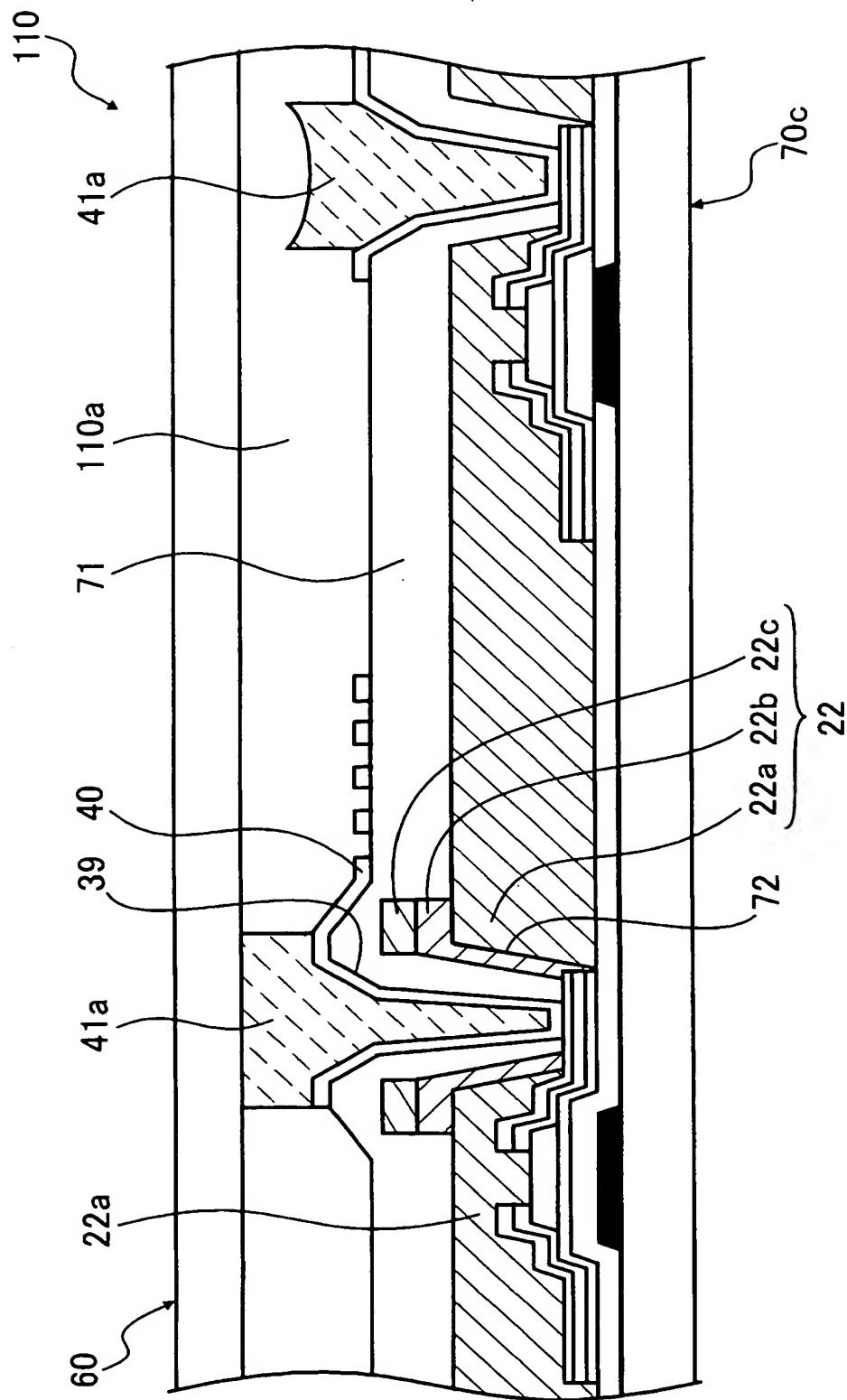
【図9】



【図10】



【図11】



【書類名】 要約書

【要約】

【課題】 液晶パネルのセルギャップを保持し、かつ気泡の発生を防止する。

【解決手段】 カラーフィルタ (C F) 基板 2 0 と薄膜トランジスタ (T F T) 基板 3 0 との間に液晶層 1 0 a が挟まれた液晶パネル 1 0 において、ドレインメタル層 3 7 と画素電極 4 0 とを接続するためのコンタクトホール 3 9 部分にできた凹部を穴埋め用の柱層 4 1 a で埋める。それとともに、C F 基板 2 0 と T F T 基板 3 0 の間のセルギャップをセルギャップ保持用の柱層 4 1 b で保持する。柱層 4 1 a, 4 1 b は、感光性樹脂を露光・現像してその感光性樹脂で同時形成する。これにより、コンタクトホール 3 9 部分にできた凹部に気泡残りなどが発生せず、セルギャップが効果的に保持される信頼性の高い液晶パネル 1 0 を効率的かつ低コストで製造できる。

【選択図】 図 1

特願2003-090753

出願人履歴情報

識別番号 [302036002]

1. 変更年月日 2002年 6月13日

[変更理由] 新規登録

住所 神奈川県川崎市中原区上小田中4丁目1番1号
氏名 富士通ディスプレイテクノロジーズ株式会社